

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



Applicant(s): Hiroshi MORIYA, et al

Serial No.:

Filed: March 8, 2001

Title: SEMICONDUCTOR DEVICE WITH ADHESION-IMPROVEMENT  
CAPACITOR AND PROCESS FOR PRODUCING THE DEVICE

Group:

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

March 8, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the  
applicant(s) hereby claim(s) the right of priority based on Japanese  
Patent Application No.(s) 2000-063735 filed March 8, 2000.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Gregory E. Montone  
Registration No. 28,141

GEM/nac  
Attachment  
(703)312-6600

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JC929 U.S. PTO  
09/800493  
03/08/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 3月 8日

出 願 番 号  
Application Number:

特願2000-063735

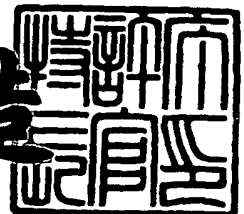
出 願 人  
Applicant(s):

株式会社日立製作所

2001年 2月23日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3009791

【書類名】 特許願  
【整理番号】 B900612P  
【提出日】 平成12年 3月 8日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 11/40  
【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地 株式会社日立製作所  
機械研究所内

【氏名】 守谷 浩志

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地 株式会社日立製作所  
機械研究所内

【氏名】 岩崎 富生

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地 株式会社日立製作所  
機械研究所内

【氏名】 太田 裕之

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 2 株式会社日立製  
作所 デバイス開発センタ内

【氏名】 飯島 晋平

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 2 株式会社日立製  
作所 デバイス開発センタ内

【氏名】 浅野 勇

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 2 株式会社日立製  
作所 デバイス開発センタ内

【氏名】 大路 譲

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 2 株式会社日立製作所 デバイス開発センタ内

【氏名】 中村 吉孝

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100093872

【弁理士】

【氏名又は名称】 高崎 芳紘

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【手数料の表示】

【予納台帳番号】 009933

【納付金額】 21,000円

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は、少なくともロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素を主構成元素とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有することを特徴とする半導体装置。

【請求項 2】 基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は、ルテニウムを主構成元素とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有することを特徴とする半導体装置。

【請求項 3】 基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は、ルテニウムを主構成元素とし、添加元素としてチタンを含有することを特徴とする半導体装置。

【請求項 4】 基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを

主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は、ルテニウムを主構成元素とし、添加元素としてニッケルを含有することを特徴とする半導体装置。

【請求項 5】 基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は、少なくとも酸化ルテニウム、酸化イリジウムからなる群から選ばれる一種類の材料を主構成材料とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有することを特徴とする半導体装置。

【請求項 6】 添加元素の含有濃度が 1 0 at. % 以上 2 5 at. % 以下である請求項 1 ～請求項 5 の何れか 1 項に記載の半導体装置。

【請求項 7】 第 1 容量電極と第 2 容量電極との間に誘電体用の酸化物膜が形成されるとともに、シリコンを主構成元素とする絶縁膜が前記第 1 容量電極や第 2 容量電極の絶縁用に形成されている情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極と前記絶縁膜との間に、少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を主構成元素とする導電性膜が形成され、また前記第 1 容量電極または前記第 2 容量電極は、少なくともロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素を主構成元素として形成されていることを特徴とする半導体装置。

【請求項 8】 第 1 容量電極と第 2 容量電極との間に誘電体用の酸化物膜が形成されるとともに、シリコンを主構成元素とする絶縁膜が前記第 1 容量電極や第 2 容量電極の絶縁用に形成されている情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極と前記絶縁膜との間に、少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を主構成元素とする導電性膜が形成され、また前記第 1 容量電極または前記第 2 容量電極は、ルテニウムを主構成元素として形成されていることを特徴

とする半導体装置。

【請求項 9】 第 1 容量電極と第 2 容量電極との間に誘電体用の酸化物膜が形成されるとともに、シリコンを主構成元素とする絶縁膜が前記第 1 容量電極や第 2 容量電極の絶縁用に形成されている情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極と前記絶縁膜との間に、チタンを主構成元素とする導電性膜が形成され、また前記第 1 容量電極または前記第 2 容量電極は、ルテニウムを主構成元素として形成されていることを特徴とする半導体装置。

【請求項 10】 第 1 容量電極と第 2 容量電極との間に誘電体用の酸化物膜が形成されるとともに、シリコンを主構成元素とする絶縁膜が前記第 1 容量電極や第 2 容量電極の絶縁用に形成されている情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極と前記絶縁膜との間に、少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を主構成元素とする導電性膜が形成され、また前記第 1 容量電極または前記第 2 容量電極は、少なくとも酸化ルテニウム、酸化イリジウムからなる群から選ばれる一種類の材料を主構成材料として形成されていることを特徴とする半導体装置。

【請求項 11】 基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は複数層の電極膜で形成され、前記複数層の電極膜の内、前記絶縁膜に接触する側の電極膜は、少なくともロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素を主構成元素とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有していることを特徴とする半導体装置。

【請求項 12】 基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2

容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は複数層の電極膜で形成され、前記複数層の電極膜の内、前記絶縁膜に接触する側の電極膜は、少なくとも酸化ルテニウム、酸化イリジウムからなる群から選ばれる一種類の材料を主構成材料とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有していることを特徴とする半導体装置。

【請求項 1 3】 添加元素の含有濃度が 1 0 at. % 以上 2 5 at. % 以下である請求項 1 1 または請求項 1 2 に記載の半導体装置。

【請求項 1 4】 基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置の製造方法において、少なくともロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素を主構成元素とするか、または少なくとも酸化ルテニウム、酸化イリジウムからなる群から選ばれる一種類の材料を主構成材料とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有する材料を用いて、前記第 1 容量電極または第 2 容量電極の何れか一つ、または両方を形成する工程を含んでいることを特徴とする製造方法。

【請求項 1 5】 第 1 容量電極と第 2 容量電極との間に誘電体用の酸化物膜が形成されるとともに、シリコンを主構成元素とする絶縁膜が前記第 1 容量電極や第 2 容量電極の絶縁用に形成されている情報蓄積用容量素子を備えた半導体装置の製造方法において、少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を主構成元素とする導電性膜を前記第 1 容量電極または前記第 2 容量電極と前記絶縁膜との間に形成する工程を含んでいることを特徴とする製造方法。

【発明の詳細な説明】



## 【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は、半導体装置に関するものであり、特に、容量電極膜と絶縁膜との密着性に優れた情報蓄積用容量素子を備えた半導体装置に関する。

## 【 0 0 0 2 】

## 【従来の技術】

近年、半導体装置の微細化にともない、情報蓄積用容量素子の面積が減少し、容量の絶対値も減少する傾向にある。容量 $C$ は、例えば平行平板電極構造の場合は式： $C = \epsilon \cdot S / d$ で決定される。なお式中の $\epsilon$ は誘電体の誘電率、 $S$ は電極の面積、 $d$ は誘電体の膜厚（電極間の距離）である。情報蓄積用容量素子に使用される電極の面積 $S$ を増大することなく、容量を確保するためには、誘電率 $\epsilon$ の高い誘電体を使用するか、誘電体の膜厚 $d$ を薄くすることが必要である。現在、誘電体用の酸化物膜（容量絶縁膜）の膜厚は10nm程度まで薄膜化されており、64Mビット以上の高集積メモリにおいては、容量絶縁膜の薄膜化は限界に達しつつある。このため、より誘電率 $\epsilon$ の高い容量絶縁膜材料の開発が進められている。例えば64～256Mビットでは酸化タンタル（ $Ta_2O_5$ ）、1GビットのDRAMにおいては、例えば特開平9-186299号公報に記載されているようなチタン酸バリウムストロンチウム（ $Ba_xSrTi_sO_t$ ：BST）等の使用が検討されている。また、不揮発性メモリとしては、例えば特開平特開平10-189881号公報に記載されているようなチタン酸ジルコン酸鉛（ $Pb_xZr_yTi_sO_t$ ：PZT）等の使用が検討されている。

## 【 0 0 0 3 】

これらBSTやPZT等による酸化物膜は、高温処理を受けないと良好な特性を発揮しないことが知られており、製造工程において約600℃以上の高温処理が必要となる。そこで、BSTやPZT等による酸化物膜に接触する容量電極材料には、高温下においても酸化されにくい材料を用いる必要がある。これは、容量電極が酸化されやすい材料である場合には、高温下において電極と酸化物膜との接触界面で酸化還元反応が起こり、酸化物膜の特性が劣化してしまうためである。このような背景から、酸化されにくい容量電極材料として、例えばロジウム

(Rh)、ルテニウム (Ru)、イリジウム (Ir)、オスミウム (Os)、白金 (Pt) 等の貴金属材料と酸化ルテニウム ( $\text{Ru}_x\text{O}_y$ ) や酸化イリジウム ( $\text{Ir}_x\text{O}_y$ ) 等の導電性酸化物が検討されている。

#### 【 0 0 0 4 】

##### 【発明が解決しようとする課題】

上述のように、BSTやPZT等による酸化物膜は、高温処理を受けないと良好な特性を発揮しないことが知られているが、さらに1Gビット以上のDRAMに用いるためには、高温処理を酸素雰囲気中で受けないと十分な特性を発揮しないことがわかってきた。そこで、1Gビット以上のDRAM製造工程においては、酸素雰囲気中での約600℃以上の高温処理が新たに必要となる。しかるに、電極材料として検討されているルテニウム等の貴金属は、絶縁膜として使用される酸化シリコン ( $\text{SiO}_2$ ) 等との密着性が低く、特に酸素雰囲気中での高温処理においてはく離しやすいという問題がある。

#### 【 0 0 0 5 】

したがって本発明の一つの目的は、ルテニウムや白金等の貴金属材料あるいは酸化ルテニウムや酸化イリジウム等の導電性酸化物を主要な材料として形成される容量電極とシリコンを主要な材料として形成される絶縁膜との密着性を向上させることにある。本発明の他の一つの目的は、より高い信頼性を有する半導体装置を提供することにある。本発明のさらに他の一つの目的は、製造工程における歩留りを高めることのできる半導体装置を提供することにある。本発明はさらに、これらの半導体装置を製造する方法を提供することも目的としている。

#### 【 0 0 0 6 】

##### 【課題を解決するための手段】

本願発明者等は、容量電極と絶縁膜との密着性の改善について鋭意研究を行い、その結果、以下のことを見出すことができた。まず例えばルテニウム等の貴金属元素や酸化ルテニウム等の導電性酸化物（以下では、これらを仮に容量電極材と称する）で形成した容量電極と酸化シリコン膜（絶縁膜）との密着性が低い原因として、容量電極材とシリコンの結合が弱いこと、つまり容量電極材とシリコンとの結合エネルギーが小さ過ぎることを見出した。そして密着性を向上させるた

めには、シリコンとの結合エネルギーが容量電極材よりも大きい元素を容量電極材に添加することが有効であることがわかった。またこの添加元素は以下のような要件を有することが重要であることが見出された。一つの要件は、添加元素とシリコンとの結合エネルギーが容量電極材とシリコンとの結合エネルギーに対しほぼ2倍以上であれば必要な密着性を確保することが可能であること。つまり添加元素は、シリコンに対して容量電極材とシリコンの結合エネルギーの2倍以上の結合エネルギーを有するものであるということである。

## 【 0 0 0 7 】

他の要件は、本願発明者等の研究により明らかにされた以下のようなことに関連している。本願発明者等の研究によると、添加元素を含有する容量電極材で形成した容量電極膜中で添加元素に起因して容量電極材の原子配列に望ましくない乱れを生じることのないようにすることが重要である。そしてそのためには、添加元素の原子半径が容量電極材のそれに近いほど好ましく、実際的には添加元素の原子半径が容量電極材のそれと10%以上異ならないことが求められる。すなわち添加元素には、その原子半径が容量電極材のそれと10%以上異ならないことが要件とされる。

## 【 0 0 0 8 】

これらの要件を何れも満足させる添加用の元素としては、本願発明者等の研究によると、パラジウム (Pd)、ニッケル (Ni)、コバルト (Co) およびチタン (Ti) を最も主要なものとして挙げることができる。そして特に容量電極の主構成元素として、より好ましいものであるルテニウムを用いる場合には、チタンとニッケルが最も好ましい添加元素であることがわかった。

## 【 0 0 0 9 】

さらに本願発明者等の研究では、これらの添加元素の容量電極に対する添加量に関して、以下のことが明らかにされた。すなわち添加量が約10at. % (アトムミックパーセント) を越えると急激に容量電極と酸化シリコン膜のはく離エネルギーが増加し、添加量が約15at. %になると、それ以後はほぼ一定のはく離エネルギーとなる。その一方で、添加元素の添加量については、それが一定以上、具体的には約25at. %が臨界的な量であり、それを越えると容量電極材の原子配列

に望ましくない乱れを生じることともわかった。このことから、添加元素は約 1 0 at. % 以上の濃度で添加することが必要であり、添加量の上限は約 2 5 at. % にあると言える。

## 【 0 0 1 0 】

本発明は、以上のような知見に基づいており、基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は、少なくともロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素を主構成元素とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有することを特徴としている。

## 【 0 0 1 1 】

また本発明は、基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は、ルテニウムを主構成元素とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有することを特徴としている。

## 【 0 0 1 2 】

また本発明は、基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は、ルテニウムを主構成元素とし、添加元素としてチタンを含有することを特徴としている。

## 【 0 0 1 3 】

また本発明は、基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は、ルテニウムを主構成元素とし、添加元素としてニッケルを含有することを特徴としている。

## 【 0 0 1 4 】

また本発明は、基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は、少なくとも酸化ルテニウム、酸化イリジウムからなる群から選ばれる一種類の材料を主構成材料とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有することを特徴としている。

## 【 0 0 1 5 】

また本発明は、上記各半導体装置において、添加元素の含有濃度が 1 0 at. % 以上 2 5 at. % 以下であることを特徴としている。

## 【 0 0 1 6 】

また本発明は、第 1 容量電極と第 2 容量電極との間に誘電体用の酸化物膜が形成されるとともに、シリコンを主構成元素とする絶縁膜が前記第 1 容量電極や第 2 容量電極の絶縁用に形成されている情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極と前記絶縁膜との間に、少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を主構成元素とする導電性膜が形成され、また前記第 1 容量電極または前記第 2 容量電極は、少なくともロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素を主構成元素として形成されていることを特徴としている。

## 【 0 0 1 7 】

また本発明は、第 1 容量電極と第 2 容量電極との間に誘電体用の酸化物膜が形成されるとともに、シリコンを主構成元素とする絶縁膜が前記第 1 容量電極や第 2 容量電極の絶縁用に形成されている情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極と前記絶縁膜との間に、少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を主構成元素とする導電性膜が形成され、また前記第 1 容量電極または前記第 2 容量電極は、ルテニウムを主構成元素として形成されていることを特徴としている。

## 【 0 0 1 8 】

また本発明は、第 1 容量電極と第 2 容量電極との間に誘電体用の酸化物膜が形成されるとともに、シリコンを主構成元素とする絶縁膜が前記第 1 容量電極や第 2 容量電極の絶縁用に形成されている情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極と前記絶縁膜との間に、チタンを主構成元素とする導電性膜が形成され、また前記第 1 容量電極または前記第 2 容量電極は、ルテニウムを主構成元素として形成されていることを特徴としている。

## 【 0 0 1 9 】

また本発明は、第 1 容量電極と第 2 容量電極との間に誘電体用の酸化物膜が形成されるとともに、シリコンを主構成元素とする絶縁膜が前記第 1 容量電極や第 2 容量電極の絶縁用に形成されている情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極と前記絶縁膜との間に、少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を主構成元素とする導電性膜が形成され、また前記第 1 容量電極または前記第 2 容量電極は、少なくとも酸化ルテニウム、酸化イリジウムからなる群から選ばれる一種類の材料を主構成材料として形成されていることを特徴としている。

## 【 0 0 2 0 】

また本発明は、基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量

電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は複数層の電極膜で形成され、前記複数層の電極膜の内、前記絶縁膜に接触する側の電極膜は、少なくともロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素を主構成元素とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有していることを特徴としている。

## 【 0 0 2 1 】

また本発明は、基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置において、前記第 1 容量電極または前記第 2 容量電極は複数層の電極膜で形成され、前記複数層の電極膜の内、前記絶縁膜に接触する側の電極膜は、少なくとも酸化ルテニウム、酸化イリジウムからなる群から選ばれる一種類の材料を主構成材料とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有していることを特徴としている。

## 【 0 0 2 2 】

また本発明は、上記各半導体装置において、添加元素の含有濃度が 1 0 at. % 以上 2 5 at. % 以下であることを特徴としている。

## 【 0 0 2 3 】

また本発明は、基板上に形成された第 1 容量電極と、該第 1 容量電極に接触して形成された誘電体用の酸化物膜と、該酸化物膜に接触して形成された第 2 容量電極と、前記第 1 容量電極や第 2 容量電極に接触して形成された、シリコンを主構成元素とする絶縁膜とを有する情報蓄積用容量素子を備えた半導体装置の製造方法において、少なくともロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素を主構成元素とするか、または少なくとも酸化ルテニウム、酸化イリジウムからなる群から選ばれる一種類の材料を主構

成材料とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有する材料を用いて、前記第 1 容量電極または第 2 容量電極の何れか一つ、または両方を形成する工程を含んでいることを特徴としている。

## 【 0 0 2 4 】

また本発明は、第 1 容量電極と第 2 容量電極との間に誘電体用の酸化物膜が形成されるとともに、シリコンを主構成元素とする絶縁膜が前記第 1 容量電極や第 2 容量電極の絶縁用に形成されている情報蓄積用容量素子を備えた半導体装置の製造方法において、少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を主構成元素とする導電性膜を前記第 1 容量電極または前記第 2 容量電極と前記絶縁膜との間に形成する工程を含んでいることを特徴としている。

## 【 0 0 2 5 】

## 【発明の実施の形態】

以下、本発明をその実施の形態に関連させて詳細に説明する。本発明の第 1 の実施形態によれば、半導体装置は D R A M (Dynamic Random Access Memory) の形態をとる。本実施形態における D R A M のメモリセルの断面構造を図 1 に示し、その平面レイアウトの一部を図 2 に示す。なお図 1 は図 2 における A - B 線あるいは C - D 線で切断した断面図である。図 1 に示すように、本実施形態による半導体装置 (D R A M) は、シリコン基板 1 の主面のアクティブ領域に形成された M O S (Metal Oxide Semiconductor) 型のトランジスタ 2 と、その上部に配置された情報蓄積用容量素子 3 とを備えている。これらの素子は平面方向に並列しており、絶縁膜 4 により各素子間の分離がなされている。

## 【 0 0 2 6 】

メモリセル選択用である M O S トランジスタ 2 は、ゲート電極 5、ゲート絶縁膜 6 および拡散層 7、8 で構成されている。ゲート絶縁膜 6 は、例えばシリコン酸化膜、窒化シリコン膜あるいは強誘電体膜、あるいはこれらの積層構造からなる。また、ゲート電極 5 は、例えば多結晶シリコン膜や金属薄膜あるいは金属シリサイド膜、あるいはこれらの積層構造からなる。このゲート電極 5 の上部およ



び側壁には例えばシリコン酸化膜からなる絶縁膜 9 が形成されている。MOS トランジスタ 2 の一方の拡散層 7 には、プラグ 10 を介してビット線 11 が接続されている。MOS トランジスタ 2 の上部にはこれを覆うようにして、例えば B P S G (Boron-doped Phospho Silicate Glass) 膜や S O G (Spin On Glass) 膜、あるいは C V D (Chemical Vapor Deposition) 法やスパッタ法で形成したシリコン酸化膜や窒化膜等からなる層間絶縁用の絶縁膜 12a が形成されている。

## 【 0 0 2 7 】

MOS トランジスタ 2 を覆う絶縁膜 12a の上部には、情報蓄積用容量素子 3 が形成され、また例えばシリコン酸化膜からなる絶縁膜 12b が同じく層間絶縁用として形成されている。情報蓄積用容量素子 3 は、MOS トランジスタ 2 の他方の拡散層 8 に、例えば多結晶シリコンからなるプラグ 13 を介して接続されている。情報蓄積用容量素子 3 は、下層から順に、導電性のバリア膜 14、第 1 容量電極 15、高誘電率あるいは強誘電性を有する誘電体用の酸化物膜 16 および第 2 容量電極 17 を積層した構造で構成され、その上部は同じく層間絶縁用でありシリコン酸化膜からなる絶縁膜 18 で覆われている。

## 【 0 0 2 8 】

以上のような装置構造において、本発明が特徴とするところは、第 1 容量電極 15 または第 2 容量電極 17 あるいはこれらの何れをも以下のような組成で形成していることである。すなわち第 1 容量電極 15 や第 2 容量電極 17 は、少なくともロジウム (Rh)、ルテニウム (Ru)、イリジウム (Ir)、オスミウム (Os)、白金 (Pt) からなる群から選ばれる一種類の元素を主構成元素とするか、または酸化ルテニウム ( $\text{Ru}_x \text{O}_y$ )、酸化イリジウム ( $\text{Ir}_x \text{O}_y$ ) からなる群から選ばれる一種類の材料を主構成材料とし、添加元素として少なくともパラジウム (Pd)、ニッケル (Ni)、コバルト (Co)、チタン (Ti) からなる群から選ばれる一種類の元素を 10 at. % 以上 25 at. % 以下の濃度で含有している。ここで、主構成元素とは最も多く含まれている元素を意味し、主構成材料とは最も多く含まれている材料を意味している。

## 【 0 0 2 9 】

このように特定の元素を主構成元素とするか特定の材料を主構成材料とし、これに特定の添加元素を所定量含有させることにより、第 1 容量電極 1 5 や第 2 容量電極 1 7 の絶縁膜 1 2 b や絶縁膜 1 8 に対する密着性を大幅に高めることができる。以下この点について説明する。

#### 【 0 0 3 0 】

本願発明者等は、容量電極膜と絶縁膜の間のはく離エネルギーが容量電極膜に含まれる添加元素によってどのように変化するかを分子動力学シミュレーションにより調べた。分子動力学シミュレーションとは、例えばジャーナルオブアプライドフィジックス (Journal of Applied Physics) の第 5 4 巻 (1 9 8 3 年発行) の 4 8 6 4 ページから 4 8 7 8 ページまでに記述されているように、原子間ポテンシャルを通して各原子に働く力を計算し、この力を基にニュートンの運動方程式を解くことによって各時刻における各原子の位置を算出する方法である。はく離エネルギー  $U$  は、容量電極膜と絶縁膜の間ではく離を起こさせるために必要なエネルギーを表し、例えばインターナショナルジャーナルオブフラクチャー (International Journal of Fracture) の第 6 6 巻 (1 9 9 4 年発行) の 4 5 ページから 7 0 ページまでに説明されている。本シミュレーションでは、容量電極膜内部の原子間ポテンシャルの総和に層間絶縁膜内部の原子間ポテンシャルの総和を加えた量から、容量電極膜と層間絶縁膜の両方からなる系の内部における原子間ポテンシャルの総和を減じることによって  $U$  を計算した。

#### 【 0 0 3 1 】

図 3 は、一例として、ロジウム、ルテニウム、白金のそれぞれを主要構成元素とし、これにパラジウムを含有させて形成した膜 (容量電極膜) を  $\text{SiO}_2$  膜の上に 9 0 0 K で成膜し、3 0 0 K まで冷却するシミュレーションを行った場合の、パラジウムの濃度に対するはく離エネルギーの変化を示した図である。グラフの縦軸は添加元素を含まないルテニウム膜とルテニウム膜との剥離エネルギー  $U_{\text{Ru}}$  で規格化してある。膜厚は容量電極膜も  $\text{SiO}_2$  膜も 3 n m とした。ここでのはく離エネルギーは、容量電極膜とシリコン酸化膜 ( $\text{SiO}_2$  膜) の間にはく離を起こさせるために必要なエネルギーである。この図から、パラジウムの濃度が約 1 0 at . % 以上になると、はく離エネルギーが急激に増加し、容量電極膜とシリコン酸化

膜 ( $\text{SiO}_2$  膜) の間の密着性が格段に向上することがわかる。同様にして、ロジウム、ルテニウム、白金それぞれを主要構成元素とし、これにチタンを含有させて形成した容量電極膜の場合の、チタンの濃度に対するはく離エネルギーの変化を図4に示す。この図から、添加元素がチタンの場合にも、濃度が約10at. %以上になると、はく離エネルギーが急激に増加し、容量電極膜とシリコン酸化膜の間の密着性が格段に向上することがわかる。これら図3や図4から、添加元素の濃度が約10at. %になると、はく離エネルギーが急激に増加して密着性が格段に向上するものの、添加元素の濃度が約15at. %を越えると、それ以後はほぼ一定のはく離エネルギーとなり、密着性向上の効果が飽和することがわかる。

## 【0032】

次にどのような添加元素がシリコン酸化膜との密着性を向上させるかを分析した。これは、添加濃度を20at. %に固定した条件で、パラジウム、コバルト、ニッケル、チタン、ハフニウム (Hf)、ジルコニウム (Zr) およびリン (P) の各添加元素を含有させたルテニウム電極膜と白金電極膜それぞれのシリコン酸化膜に対するはく離エネルギーを調べるとともに、これらと各添加元素のシリコンに対する結合エネルギーとの関係を調べることで行なった。その結果を図5に示す。図の横軸は、電極膜の主構成元素 (ルテニウムまたは白金) とシリコンの結合エネルギー ( $E_{\text{B-Si}}$ ) を分母とし、各添加元素とシリコンの結合エネルギー ( $E$ ) を分子とする比であり、縦軸は、電極膜のシリコン酸化膜に対するはく離エネルギーである。図5から、添加元素は、そのシリコンとの結合エネルギーが容量電極膜の主構成元素とシリコンとの結合エネルギーの約2倍以上である場合に、これを含有する容量電極膜のシリコン酸化膜に対する密着性を特に向上させることが理解できる。具体的には、パラジウム、コバルト、ニッケル、チタン、ハフニウムおよびジルコニウムが密着性向上に有効である。

## 【0033】

以上により密着性向上に有効である添加元素種が明らかになったが、ここでこれらの添加元素を電極膜に含有させることによって電極膜の原子配列に乱を生じて電極膜上でBSTやPZTなどの誘電体用酸化物膜材のペロブスカイト結晶構造を形成出来なくなると、BSTやPZTなどが強誘電体ないし高誘電体としての

機能を発揮しないという問題が考えられる。そこで、電極膜の原子配列を乱さない添加元素を特定するため分子動力学シミュレーションを行った。

#### 【 0 0 3 4 】

図6は、ルテニウムを主構成元素とし、添加元素としてチタンを25 at.%含有する容量電極膜を酸化シリコン膜上に900 Kで成膜し、300 Kまで冷却するシミュレーションを行った場合の、平衡状態における原子配列を示す図である。膜厚は容量電極膜も酸化シリコン膜も3 nmとした。図に見られるように界面近傍においては容量電極膜の原子配列は不規則に乱れているが上層は規則的に配列しており、この様な原子配列からなる電極膜上に酸化物膜材のペロブスカイト結晶構造を形成する際には何らの問題もないことがわかる。

#### 【 0 0 3 5 】

一方、同様にルテニウムを主構成元素とし、添加元素としてジルコニウムを25 at.%含有する容量電極膜を酸化シリコン膜上に900 Kで成膜し、300 Kまで冷却するシミュレーションを行った場合の結果は図7のようになる。この場合もそれぞれの膜厚は3 nmとした。この図7から、ジルコニウムを添加した場合には容量電極膜の原子配列が膜全体で不規則的となり、このように原子配列が乱れた電極膜上ではペロブスカイト結晶構造を形成することは困難であることがわかる。さらに同様に、ルテニウムを主構成元素とし、添加元素としてハフニウムを25 at.%含有する容量電極膜を酸化シリコン膜上に900 Kで成膜し、300 Kまで冷却するシミュレーションを行ったが、その結果でも添加元素がジルコニウムの場合と同様に、電極膜の原子配置に不規則な乱れ生じた。このように電極膜への添加元素がジルコニウムやハフニウムであると電極膜の原子配列に乱れを生じる理由としては、電極膜の主構成元素の原子半径と添加元素の原子半径との差が大きいことが挙げられる。実際、ルテニウムの原子半径とチタンの原子半径の差は約5%であり、それに対してルテニウムの原子半径に対するジルコニウムやハフニウムの原子半径の差はそれぞれ約19%と約18%というように大きい。これらのことを踏まえて本願発明者等が研究した結果によると、電極膜の主構成元素の原子半径と添加元素の原子半径の差が10%を超えると、電極膜上で酸化物膜材のペロブスカイト結晶構造を形成するのを阻害するような原子配列

の乱れを電極膜に生じやすいことがわかった。以上のような本願発明者等による研究から次のことが明らかになる。すなわち密着性向上に有効であるパラジウム、コバルト、ニッケル、チタン、ハフニウムおよびジルコニウムの内、ハフニウムとジルコニウムは、これを含有させた場合に容量電極膜に望ましくない原子配列の乱れを生じることになり、したがって添加元素としてはパラジウム、コバルト、ニッケルおよびチタンが有効である。

## 【 0 0 3 6 】

また、容量電極膜における添加元素の含有量が過剰になっても、原子配列に望ましくない乱れを生じることが考えられる。そこで、電極膜の原子配列を乱ださない添加元素の含有量を特定するため分子動力学シミュレーションも行った。ルテニウムを主構成元素とし、添加元素としてチタンを 2 5 at.% 含有させた容量電極膜を酸化シリコン膜上に形成した場合は、図 6 に示したとおり、界面近傍においては容量電極膜の原子配列は不規則に乱れているものの上層は規則的に配列している。この様な原子配列からなる電極膜上に誘電体材のペロブスカイト結晶構造を形成するのに何ら問題がないことは上記の通りである。これに対し、ルテニウムを主構成元素とし、添加元素としてチタンを 2 6 at.% 含有する容量電極膜（膜厚 3 n m）を酸化シリコン膜（膜厚 3 n m）上に 9 0 0 K で成膜し、3 0 0 K まで冷却するシミュレーションを行った場合の結果は図 8 のようである。図に見られるように、容量電極膜の原子配列は膜全体で不規則的であり、この様な原子配列からなる電極膜上に酸化物膜材のペロブスカイト結晶構造を形成することは困難となる。

## 【 0 0 3 7 】

同様に、添加元素を変えてパラジウム、コバルトおよびニッケルのそれぞれに対してもシミュレーションを行なった。その結果、添加元素の含有量が 2 5 at.% 以下であれば、電極膜の原子配列の結晶構造に望ましくない乱れを生じることがなく、酸化物膜材のペロブスカイト結晶構造を電極膜上に安定的に形成出来ることがわかった。また、添加元素として複数の元素を電極膜に含有させても同様の結果が得られた。また、電極膜の主構成元素をルテニウム以外のロジウム、イリジウム、オスミウムそれに白金としても同様の結果が得られた。これらの結果

から、添加元素の含有量には、25 at.%という臨界的な値のあることが理解できる。

#### 【0038】

以上のことをまとめると、容量電極のシリコン酸化膜に対する密着性を改善するための添加元素に関しては次のような要件が求められる。まず密着性の向上のための要件として、添加元素のシリコンに対する結合エネルギーと添加元素の含有量がある。添加元素のシリコンに対する結合エネルギーについては、これが容量電極の主構成元素とシリコンとの結合エネルギーの2倍以上であることが求められる。一方、添加元素の含有量については、約10 at.%以上であることが求められる。次に、容量電極膜における結晶構造に望ましくない乱れを生じないようにする要件として、添加元素の原子半径と添加元素の含有量がある。添加元素の原子半径については、それが容量電極膜の主構成元素における原子半径との差が10%を越えないことが求められる。一方、添加元素の含有量については、約25 at.%を越えないことが求められる。すなわち添加元素には、そのシリコンに対する結合エネルギーが主構成元素とシリコンとの結合エネルギーの2倍以上であること、およびその原子半径が主構成元素の原子半径に対して10%以上異なることが要件とされ、そのような要件を満足させる元素としては、パラジウム、ニッケル、コバルトおよびチタンが挙げられる。そしてこれらの添加元素の添加量は約10 at.%以上約25 at.%以下であることが要件とされる。

#### 【0039】

ここで、以上で説明した例は容量電極をロジウム、ルテニウム、イリジウム、オスミウム、白金の何れか一種の元素を主構成元素として形成する場合についてであったが、本発明者等の研究によると、酸化ルテニウムや酸化イリジウムのような導電性酸化物の何れか一種を主構成材料とする場合にも同様な結果が得られている。

#### 【0040】

以下では図1に示したDRAMの主要部の製造工程について図9から図12を用いて説明する。まず図9に示すように従来と同様の方法によりシリコン基板1上に素子分離膜4、トランジスタ2、絶縁膜9、プラグ10、プラグ13、ビッ

ト線 1 1、絶縁膜 1 2 a、導電性膜 1 4 を形成し、絶縁膜 1 2 a と導電性膜 1 4 の表面は化学的機械研磨 (Chemical Mechanical Polishing : CMP) 法等で平坦化する。次に、CVD 法等を用いて絶縁膜 1 2 a と導電性膜 1 4 の上面に SiO<sub>2</sub> 等の膜を堆積し、そこに容量セル形成用の溝をエッチング等により形成して絶縁膜 1 2 b を形成する (図 1 0)。続いて、絶縁膜 1 2 a と導電性膜 1 4 と絶縁膜 1 2 b の表面に、添加元素としてチタンを 1 0 at. % 以上 2 5 at. % 以下の濃度で含有するルテニウムまたはルテニウム合金で、例えばスパッタ法や CVD 法、あるいはめっき法や蒸着法等により第 1 容量電極膜 1 5 用の膜 1 5 a を成膜する (図 1 1)。この場合、スパッタ法には、それで成膜した膜 1 5 a の絶縁膜との密着性がより優れるという利点がある。一方、CVD 法には、それで成膜した膜 1 5 a の膜厚が上記容量セル形成用の溝の側面と底面 (最終的に第 1 容量電極膜 1 5 となる部分) において、より均一になるという利点がある。ここで、膜 1 5 a の添加元素は、チタン以外にパラジウム、ニッケル、コバルトの何れでもよい。また膜 1 5 a の主構成元素ないし主構成材料には、ルテニウムやルテニウム合金の他に、ロジウム、イリジウム、オスミウム、白金の何れを用いてもよく、さらに酸化ルテニウムか酸化イリジウムの何れを用いてもよい。

#### 【 0 0 4 1 】

次いで、膜 1 5 a から溝以外に形成された余分な部分を例えば CMP 法等により除いて下部電極膜 (第 1 容量電極膜 1 5) を形成する (図 1 2)。この工程において膜 1 5 a の絶縁膜 1 2 b に対する密着性が低いと、膜 1 5 a が絶縁膜 1 2 b から剥がれるというトラブルを生じる可能性がある。しかし本発明では膜 1 5 a に添加元素としてチタンを 1 0 at. % 以上 2 5 at. % 以下の濃度で含有させるか、あるいはチタンの他にパラジウム、ニッケル、コバルトの何れかを 1 0 at. % 以上 2 5 at. % 以下の濃度で含有させるようにしているので、膜 1 5 a と絶縁膜 1 2 b の密着性を大幅に向上させることができる。このため CMP 法等による膜 1 5 a の部分除去工程において残すべき膜 1 5 a (第 1 容量電極膜 1 5) が絶縁膜 1 2 b から剥がれるという問題を効果的に防ぐことができる。またこれ以後の工程においても、第 1 容量電極膜 1 5 の絶縁膜 1 2 b に対する密着性が優れるという本発明の効果は有効に働く。

## 【 0 0 4 2 】

続いて第 1 容量電極膜 1 5 と層間絶縁用の絶縁膜 1 2 b の上に例えばチタン酸バリウムストロンチウム ( $(\text{Ba}, \text{Sr})\text{TiO}_3$  : BST) やチタン酸ジルコン酸鉛 ( $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$  : PZT) 等の誘電体材で容量誘電体膜 (酸化物膜) 1 6 をスパッタ法や CVD 法あるいはレーザアブレーション法等により成膜する。それから酸化物膜 1 6 の上に、例えば添加元素としてチタンを 1 0 at. % 以上 2 5 at. % 以下の濃度で含有するルテニウムまたはルテニウム合金を用いて例えばスパッタ法や CVD 法あるいは蒸着法等により成膜し、上部電極膜 (第 2 容量電極膜 1 7) を形成する。この第 2 容量電極膜 1 7 についても、添加元素は、チタン以外にパラジウム、ニッケル、コバルトの何れでもよい。またその主構成元素ないし主構成材料には、ルテニウムやルテニウム合金の他に、ロジウム、イリジウム、オスミウム、白金の何れを用いてもよく、さらに酸化ルテニウムか酸化イリジウムの何れを用いてもよい。そして最後に上部電極膜の上面に  $\text{SiO}_2$  等の絶縁膜を堆積し、図 1 に示した DRAM の主要部の構造を得る。これ以後は通常の DRAM の製造方法と同様にしてその工程を完了する。

## 【 0 0 4 3 】

図 1 3 に第 2 の実施形態による半導体装置である DRAM の主要部の構造を図 1 と同様な断面で示す。図中で図 1 におけると同一の符号を付してある部位は図 1 に関して説明したのと同じまたはそれに相当する要素である。本実施形態による半導体装置は、第 1 の実施形態のそれと同様に、シリコン基板 1 の主面のアクティブ領域に形成された MOS 型のトランジスタ 2 と、その上部に配置された情報蓄積用容量素子 3 とを備えている。

## 【 0 0 4 4 】

メモリセル選択用である MOS トランジスタ 2 は、ゲート電極 5、ゲート絶縁膜 6 および拡散層 7、8 で構成されている。ゲート絶縁膜 6 は、例えばシリコン酸化膜、窒化シリコン膜あるいは強誘電体膜、あるいはこれらの積層構造からなる。また、ゲート電極 5 は、例えば多結晶シリコン膜や金属薄膜あるいは金属シリサイド膜、あるいはこれらの積層構造からなる。このゲート電極 5 の上部および側壁には例えばシリコン酸化膜からなる絶縁膜 9 が形成されている。MOS ト



ランジスタ 2 の一方の拡散層 7 には、プラグ 1 0 を介してビット線 1 1 が接続されている。MOS トランジスタ 2 の上部にはこれを覆うようにして、例えば B P S G 膜や S O G 膜、あるいは C V D 法やスパッタ法で形成したシリコン酸化膜や窒化膜等からなる層間絶縁用の絶縁膜 1 2 a が形成されている。

## 【 0 0 4 5 】

MOS トランジスタ 2 を覆う絶縁膜 1 2 a の上部には情報蓄積用容量素子 3 が形成されている。情報蓄積用容量素子 3 は、MOS トランジスタ 2 の他方の拡散層 8 に、例えば多結晶シリコンからなるプラグ 1 3 を介して接続されている。情報蓄積用容量素子 3 は、導電性のバリア膜 1 4、例えばシリコン酸化膜からなる層間絶縁用の絶縁膜 2 0、第 1 容量電極 2 1、高誘電率あるいは強誘電性を有する誘電体用の酸化物膜 2 2 および第 2 容量電極 2 3 を積層した構造で構成され、その上部は層間絶縁用であるシリコン酸化膜からなる絶縁膜 2 4 で覆われている。

## 【 0 0 4 6 】

本実施形態においても、第 1 容量電極 2 1 または第 2 容量電極 2 3 あるいはこれらの何れもが以下のような組成で形成されている。すなわち第 1 容量電極 2 1 や第 2 容量電極 2 3 は、少なくともロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素を主構成元素とするか、または酸化ルテニウム、酸化イリジウムからなる群から選ばれる一種類の材料を主構成材料とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を 1 0 at. % 以上 2 5 at. % 以下の濃度で含有している。

## 【 0 0 4 7 】

以下に、図 1 3 に示した D R A M の主要部の製造工程について図 1 4 から図 1 7 を用いて説明する。まず図 1 4 に示すように従来と同様の方法によりシリコン基板 1 上に素子分離膜 4、トランジスタ 2、絶縁膜 9、プラグ 1 0、プラグ 1 3、ビット線 1 1、絶縁膜 1 2 a、導電性膜 1 4 を形成し、絶縁膜 1 2 a と導電性膜 1 4 の表面は C M P 法等で平坦化する。次に、C V D 法等を用いて絶縁膜 1 2 a と導電性膜 1 4 の上面に  $S i N_4$  等による絶縁膜 2 0 を成膜し、さらにその上

に $\text{SiO}_2$ 等による絶縁膜25を堆積する(図14)。続いて、絶縁膜20と絶縁膜25にエッチング等により容量セル形成用の溝26を形成する(図15)。それから溝26と絶縁膜25の表面に、添加元素としてチタンを10at.%以上25at.%以下の濃度で含有するルテニウムまたはルテニウム合金による膜を例えばスパッタ法やCVD法あるいは蒸着法等により成膜する。ここで、上記膜の添加元素は、チタン以外にパラジウム、ニッケル、コバルトの何れでもよい。また上記膜の主構成元素ないし主構成材料には、ルテニウムやルテニウム合金の他に、ロジウム、イリジウム、オスミウム、白金の何れを用いてもよく、さらに酸化ルテニウムか酸化イリジウムの何れを用いてもよい。

## 【0048】

次いで、溝26以外の部位に成膜した余分な膜を例えばCMP等により除いて下部電極膜(第1容量電極21)を形成する(図16)。この工程において下部電極用の膜の絶縁膜25に対する密着性が低いと、この膜が絶縁膜25から剥がれるというトラブルを生じる可能性がある。しかし本発明では下部電極用の膜にチタンなどの添加元素を10at.%以上25at.%以下の濃度で含有させるようにしているので、この膜と絶縁膜25の密着性を大幅に向上させることができる。このためCMP法等による下部電極用の膜の部分除去工程において残すべき下部電極膜が絶縁膜25から剥がれるという問題を効果的に防ぐことができる。

## 【0049】

続いて、エッチング等により絶縁膜25を取り除いて第1容量電極21を露出させる(図17)。それから露出した第1容量電極21の表面に例えばBSTやPZT等の誘電体材で容量誘電体膜(酸化物膜22)をスパッタ法やCVD法あるいはレーザアブレーション法等により成膜する。次いで、容量誘電体膜の上に、例えば添加元素としてチタンを10at.%以上25at.%以下の濃度で含有するルテニウムまたはルテニウム合金を用いて例えばスパッタ法やCVD法あるいは蒸着法等により成膜し、上部電極膜(第2容量電極膜23)を形成する。この第2容量電極膜23についても、添加元素は、チタン以外にパラジウム、ニッケル、コバルトの何れでもよい。またその主構成元素ないし主構成材料には、ルテニウムやルテニウム合金の他に、ロジウム、イリジウム、オスミウム、白金の何

れを用いてもよく、さらに酸化ルテニウムか酸化イリジウムの何れを用いてもよい。そして最後に上部電極膜の上面に  $\text{SiO}_2$  等の絶縁膜を堆積し、図 13 に示した DRAM の主要部の構造を得る。これ以後は通常の DRAM の製造方法と同様してその工程を完了する。

#### 【0050】

本実施形態による半導体装置 (DRAM) は、図 13 に見られるように、最終的に形成される第 1 容量電極 21 が層間絶縁膜 (絶縁膜 20) に接する面積が小さい。しかしその一方で、製造工程中においては図 16 に見られるように、第 1 容量電極 21 は広い面積で絶縁膜 25 と接しており、この絶縁膜 25 と第 1 容量電極 21 との密着性が重要になる。そのため第 1 容量電極 21 を上記のような材料構成で形成し、これにより第 1 容量電極 21 の絶縁膜 25 に対する密着性を高めることが有効となる。

#### 【0051】

ここで、以上の各実施形態に関する説明ではパラジウム、ニッケル、コバルトおよびチタンを添加元素として同等なものとして扱っていた。しかし本願発明者等の研究によると、チタンとニッケルに特に優れていることがわかっている。すなわち密着性を向上させる上ではチタンが最も効果的であり、酸素雰囲気中の熱処理を行なった場合に電氣的な安定性に最も優れる添加元素がニッケルである。このことから添加元素としてはチタンかニッケルを含有させるのがより好ましい形態であると言える。

#### 【0052】

図 18 に第 3 の実施形態による半導体装置である DRAM の主要部の構造を図 1 と同様な断面で示す。図中で図 1 におけると同一の符号を付してある部位は図 1 に関して説明したのと同じまたはそれに相当する要素である。本実施形態による半導体装置と第 1 の実施形態によるそれとの主な相違は、絶縁膜 12b と第 1 容量電極 15 の間に密着層 26 が介在していることである。この密着層 26 は、パラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を主構成元素とする導電性膜である。これらの元素が上記のようにシリコンに対する結合エネルギーが大きいことから、密着層 26 は絶縁膜 12b に対し高い密着

性を有する。したがってこのような密着層 2 6 を設ける構造では、第 1 容量電極 1 5 には必ずしも添加元素を含有させなくともよい。すなわち本実施形態における第 1 容量電極 1 5 は、ロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素のみで形成される場合と、これらの元素を主構成元素として上記のような添加元素を第 1 の実施形態における場合よりも少なく含有させて形成される場合、それに酸化ルテニウム、酸化イリジウムからなる群から選ばれる一種類の材料のみで形成される場合と、これらの材料を主構成材料として上記のような添加元素を第 1 の実施形態における場合よりも少なく含有させて形成される場合がある。このような構成によると、密着層 2 6 の介在により、第 1 容量電極 1 5 のはく離という問題を効果的に回避できるとともに、第 1 容量電極 1 5 における原子配列の乱れをより一層少なくすることができ、したがって酸化物膜 1 6 の安定性をさらに一層高めることができる。

## 【 0 0 5 3 】

なお本実施形態では、第 1 容量電極 1 5 にのみ導電性膜（密着層 2 6）を設けていたが、この他に、第 2 容量電極 1 7 についてもそれと絶縁膜 1 8 の間に導電性膜を設ける形態がありうる。ただ、絶縁膜との密着性が特に重要であるのは第 1 容量電極 1 5 に関してであり、その意味で第 1 容量電極 1 5 にのみ導電性膜を設ける形態を代表的な実施形態例として説明したものである。

## 【 0 0 5 4 】

図 1 9 に第 4 の実施形態による半導体装置である D R A M の主要部の構造を図 1 と同様な断面で示す。図中で図 1 におけると同一の符号を付してある部位は図 1 に関して説明したのと同じまたはそれに相当する要素である。本実施形態による半導体装置と第 1 の実施形態によるそれとの主な相違は、第 1 容量電極が 2 層の電極膜 2 7、2 8 で構成されていることである。絶縁膜 1 2 b に接する側の電極膜 2 7 は、絶縁膜 1 2 b との密着性を高めるために、ロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素を主構成元素とするか、または酸化ルテニウム、酸化イリジウムからなる群から選ばれる一種類の材料を主構成材料とし、添加元素としてパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を 1 0 at. % 以上 2 5 at. % 以下

の濃度で含有している。

【0055】

一方、酸化物膜16と接する側の電極膜28は、絶縁膜12bに接しないことから、必ずしも添加元素を含有させなくともよい。すなわち電極膜28は、ロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素のみで形成される場合と、これらの元素を主構成元素として上記のような添加元素を電極膜27の場合よりも少なく含有させて形成される場合、それに酸化ルテニウム、酸化イリジウムからなる群から選ばれる一種類の材料のみで形成される場合と、これらの材料を主構成材料として上記のような添加元素を電極膜27の場合よりも少なく含有させて形成される場合がある。

【0056】

このような構成によると、第3の実施形態の場合と同様の効果がある。すなわち電極膜27により絶縁膜12bへの十分な密着性を確保できる一方で、電極膜28において原子配列の乱れをより一層少なくすることで酸化物膜16の安定性をさらに一層高めることができる。

【0057】

本実施形態のような構成については、第1容量電極を3層以上にすることも可能である。例えば電極膜28と酸化物膜16との間に、酸化物膜16における結晶構造の制御性に、より優れた別の層をさらに設ける例である。また本実施形態では、第1容量電極だけを多層構造にしているが、第2容量電極についても多層構造を採用する形態も可能である。

【0058】

【発明の効果】

以上説明したように、本発明によれば、情報蓄積容量素子を備えた半導体装置について、そのより一層の高集積化に伴って生じてくる容量電極膜と絶縁膜の間の密着性の問題を効果的に解決することができ、より信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【図1】

第 1 の実施形態による半導体装置の主要部の断面図である。

【図 2】

第 1 の実施形態による半導体装置の平面レイアウトの一例を示す図である。

【図 3】

ロジウム、ルテニウム、白金のそれぞれからなる電極膜にパラジウムを添加元素として含有させた場合の電極膜とシリコン酸化膜の間のはく離エネルギーのパラジウム含有濃度に対する依存性を示した図である。

【図 4】

ロジウム、ルテニウム、白金のそれぞれからなる電極膜にチタンを添加元素として含有させた場合の電極膜とシリコン酸化膜の間のはく離エネルギーのチタン含有濃度に対する依存性を示した図である。

【図 5】

添加元素の濃度を 2 0 at. % に設定した場合の電極膜とシリコン酸化膜の間のはく離エネルギー、添加元素とシリコンの結合エネルギーに対する依存性を示した図である。

【図 6】

チタンを 2 5 at. % 含有させたルテニウム容量電極膜を  $\text{SiO}_2$  上に成膜するシミュレーションを行った場合の平衡状態における原子配列を示す図である。

【図 7】

ジルコニウムを 2 5 at. % 含有させたルテニウム容量電極膜を  $\text{SiO}_2$  上に成膜するシミュレーションを行った場合の平衡状態における原子配列を示す図である。

【図 8】

チタンを 2 6 at. % 含有させたルテニウム容量電極膜を  $\text{SiO}_2$  上に成膜するシミュレーションを行った場合の平衡状態における原子配列を示す図である。

【図 9】

第 1 の実施形態による半導体装置の主要部の製造工程を示す図である。

【図 1 0】

第 1 の実施形態による半導体装置の主要部の製造工程を示す図である。

【図 1 1】

第 1 の実施形態による半導体装置の主要部の製造工程を示す図である。

【図 1 2】

第 1 の実施形態による半導体装置の主要部の製造工程を示す図である。

【図 1 3】

第 2 の実施形態による半導体装置の主要部の断面図である。

【図 1 4】

第 2 の実施形態による半導体装置の主要部の製造工程を示す図である。

【図 1 5】

第 2 の実施形態による半導体装置の主要部の製造工程を示す図である。

【図 1 6】

第 2 の実施形態による半導体装置の主要部の製造工程を示す図である。

【図 1 7】

第 2 の実施形態による半導体装置の主要部の製造工程を示す図である。

【図 1 8】

第 3 の実施形態による半導体装置の主要部の断面図である。

【図 1 9】

第 4 の実施形態による半導体装置の主要部の断面図である。

【符号の説明】

- 1 シリコン基板
- 2 トランジスタ
- 3 情報蓄積用容量素子
- 4 素子分離膜
- 5 ゲート電極
- 6 ゲート絶縁膜
- 7 拡散層
- 8 拡散層
- 9 絶縁膜
- 10 プラグ

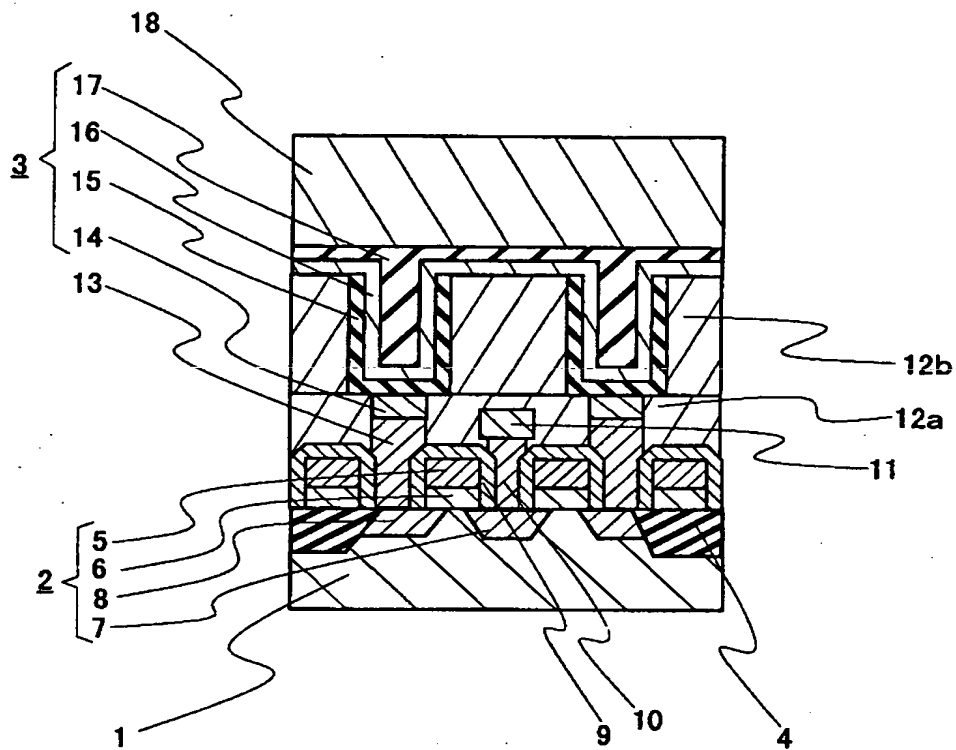
- 1 1 ビット線
- 1 2 a 絶縁膜
- 1 2 b 絶縁膜
- 1 3 プラグ
- 1 4 導電性膜
- 1 5 第 1 容量電極
- 1 5 b 第 1 容量電極用の膜
- 1 6 酸化物膜
- 1 7 第 2 容量電極
- 1 8 絶縁膜
- 2 0 絶縁膜
- 2 1 第 1 容量電極
- 2 2 酸化物膜
- 2 3 第 2 容量電極
- 2 4 絶縁膜
- 2 5 絶縁膜
- 2 6 導電性膜
- 2 7 第 1 容量電極の電極膜
- 2 8 第 1 容量電極の電極膜



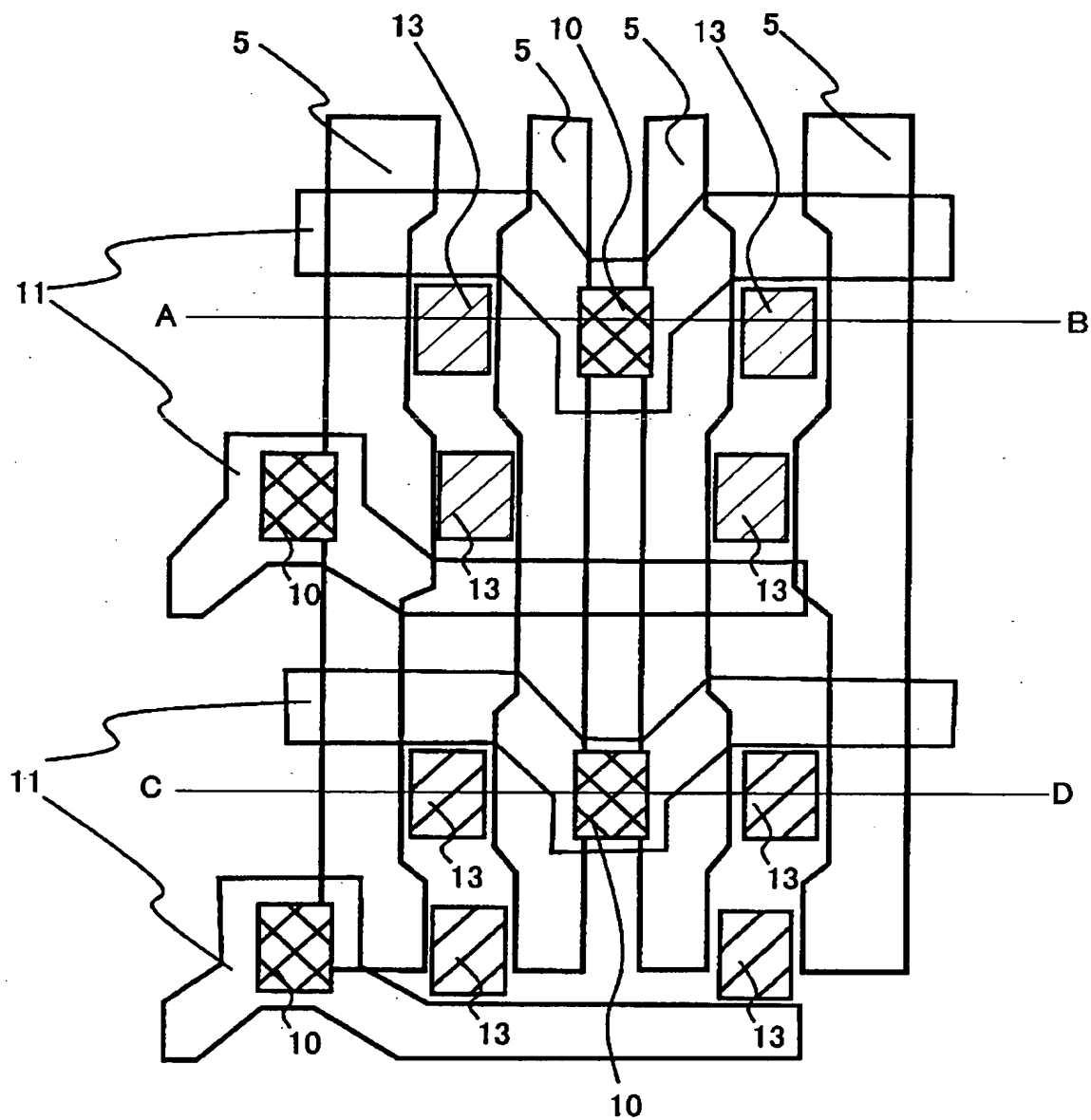
【書類名】

図面

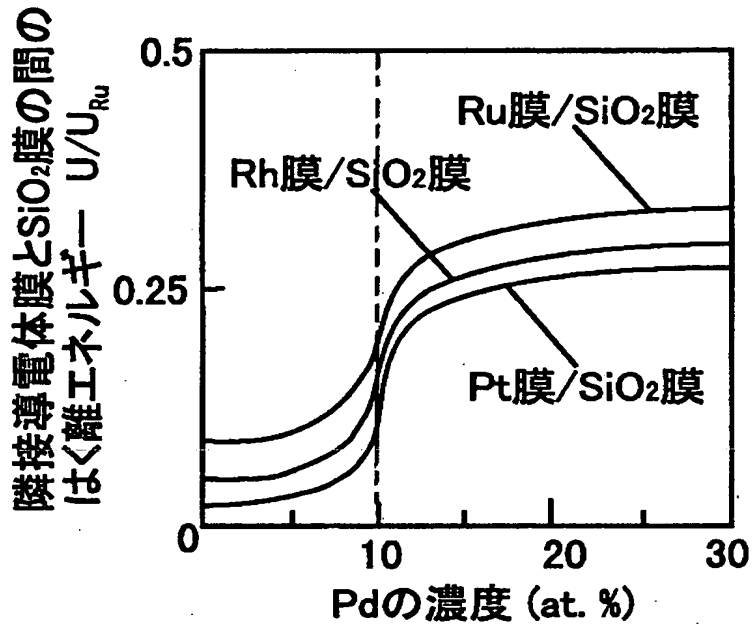
【図 1】



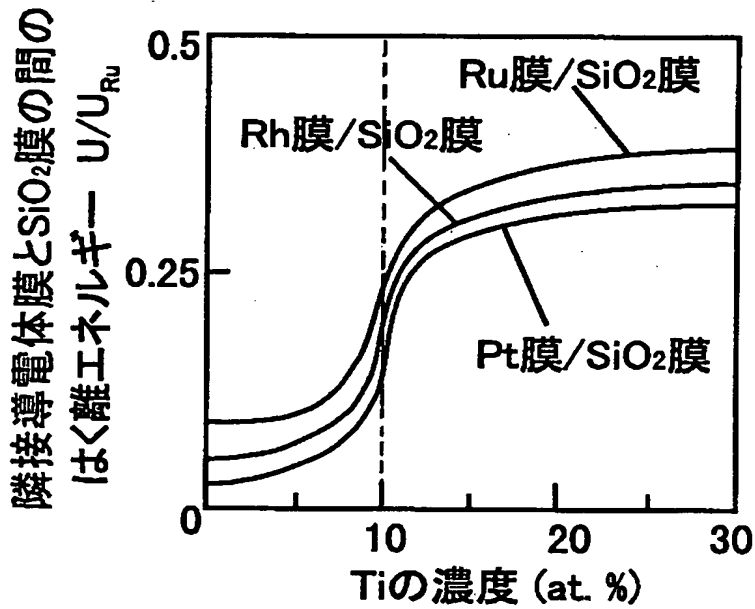
【図 2】



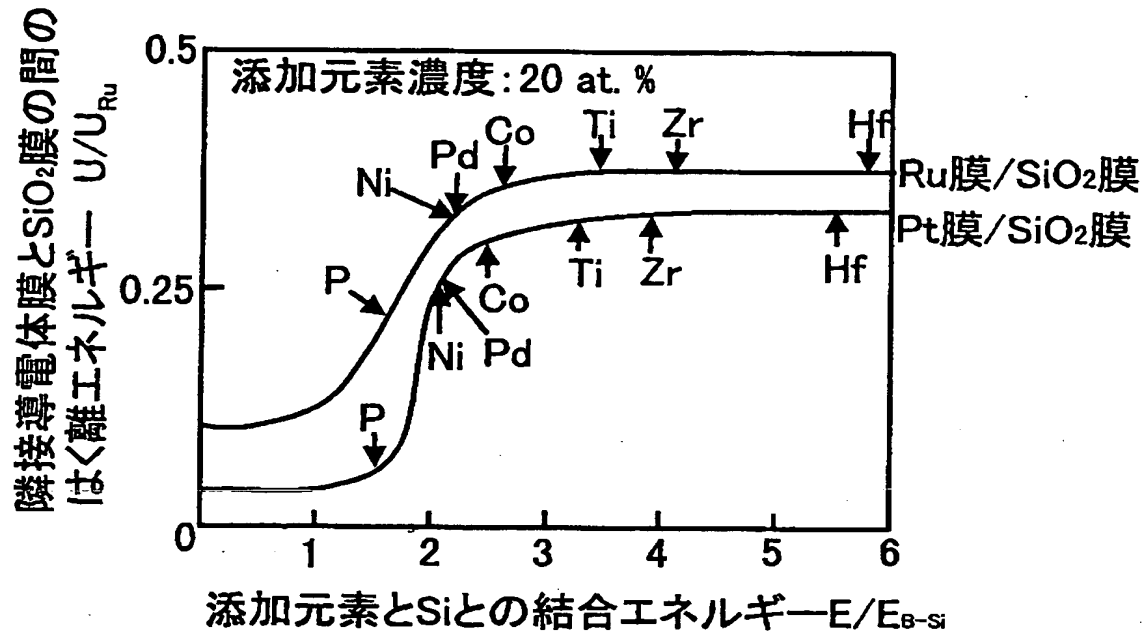
【図 3】



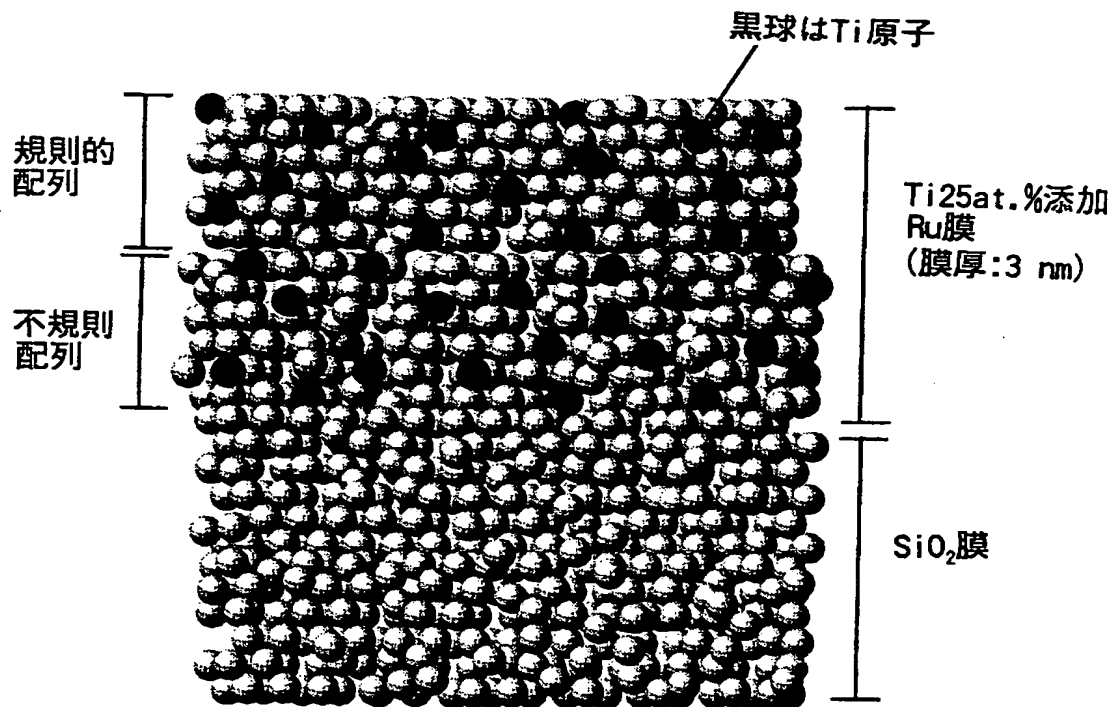
【図 4】



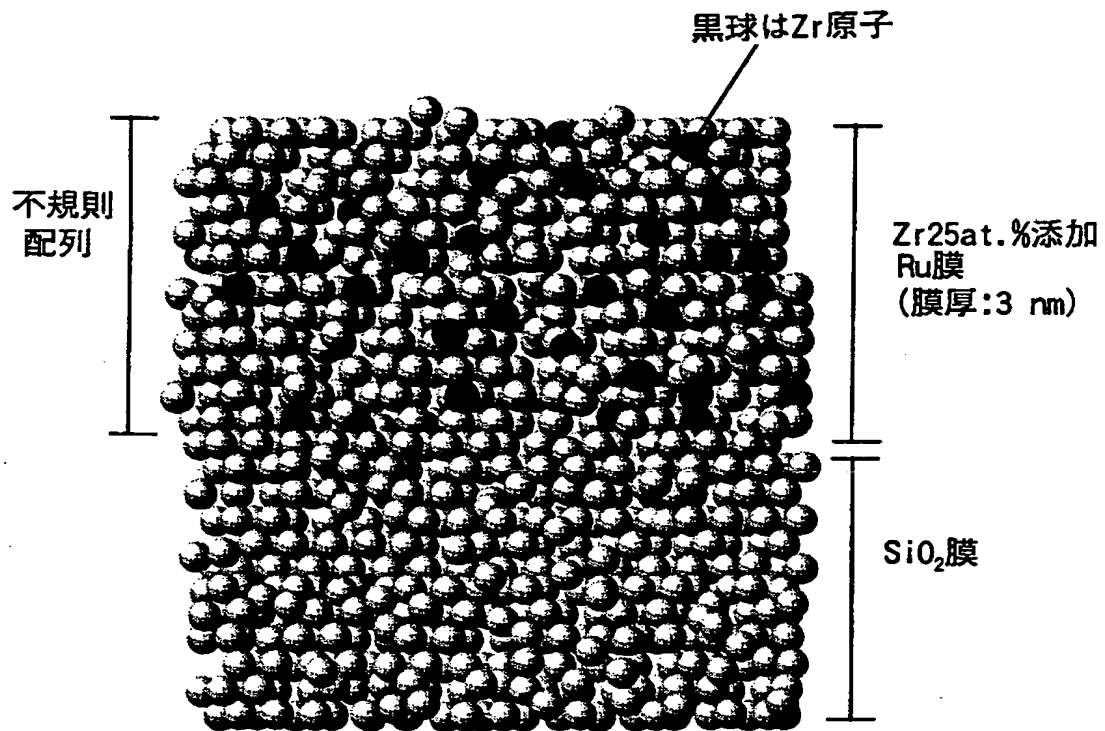
【図 5】



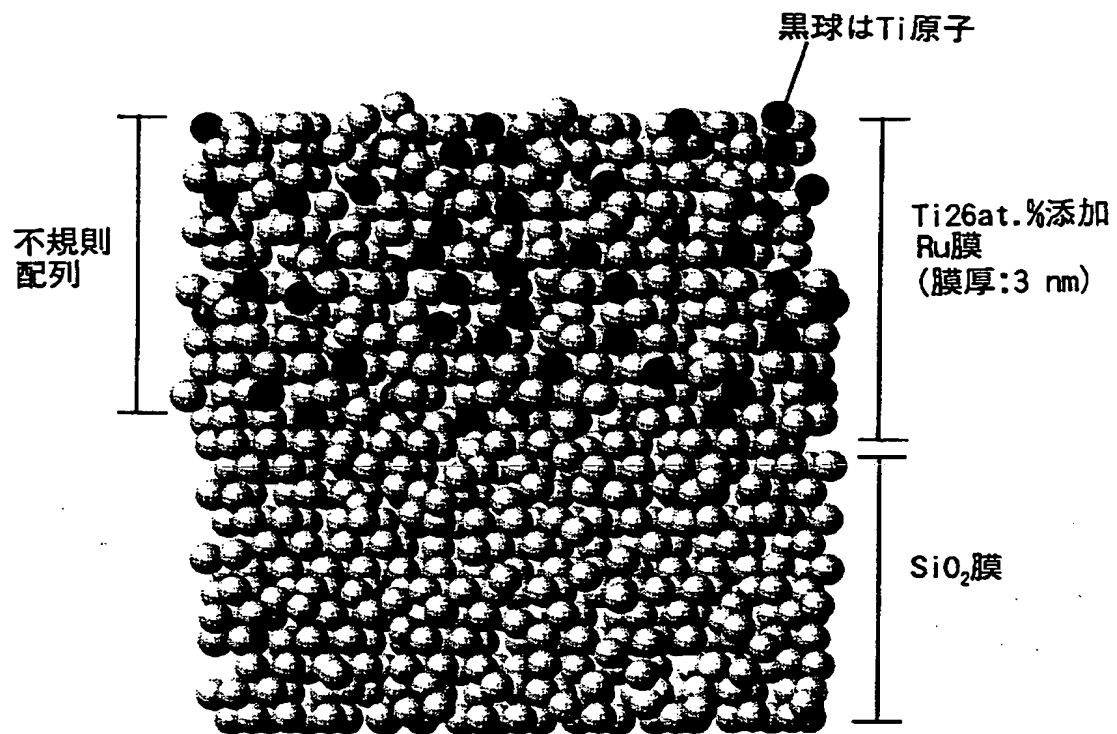
【図 6】



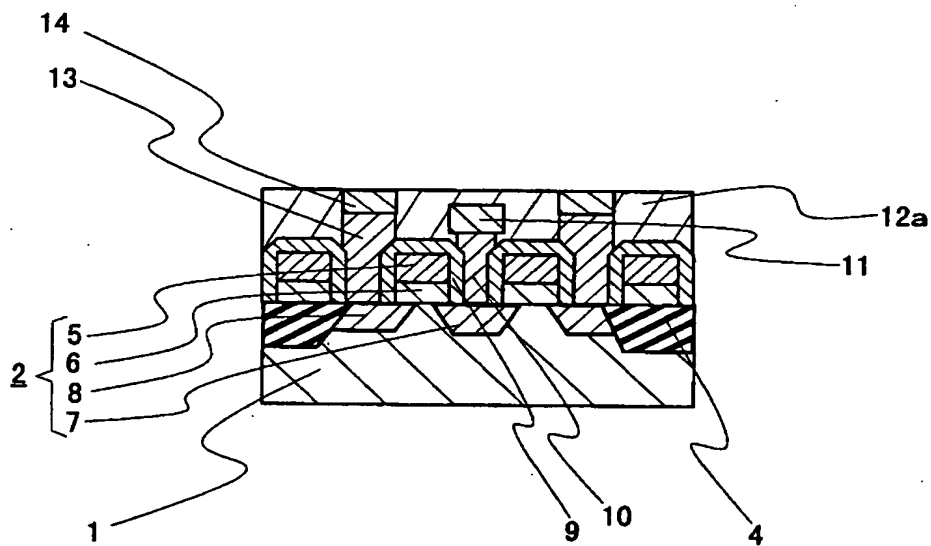
【図 7】



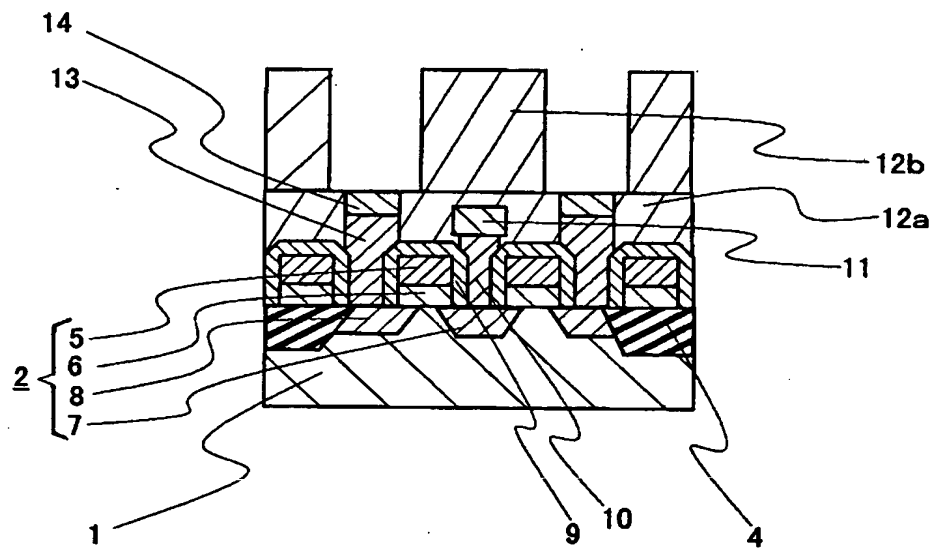
【図 8】



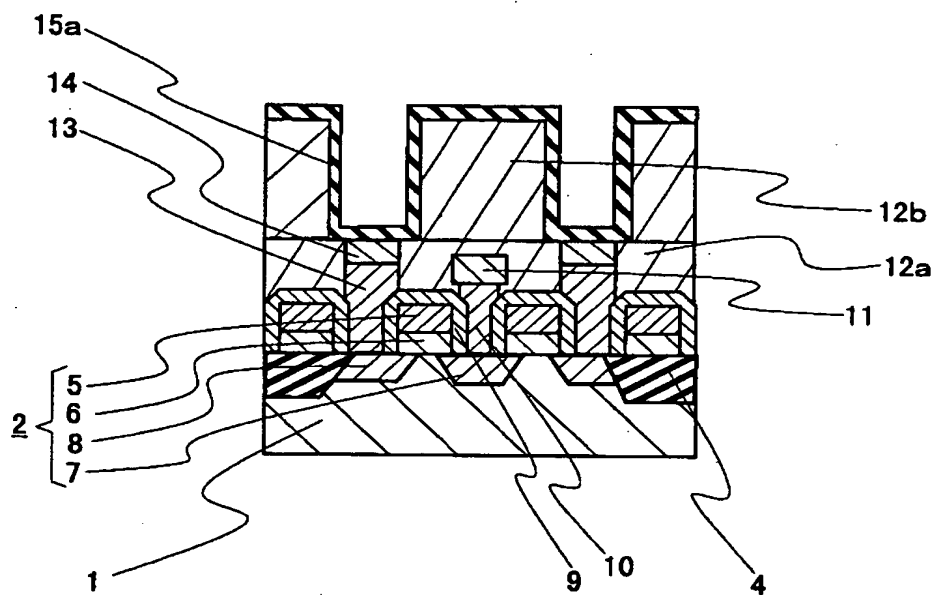
【図 9】



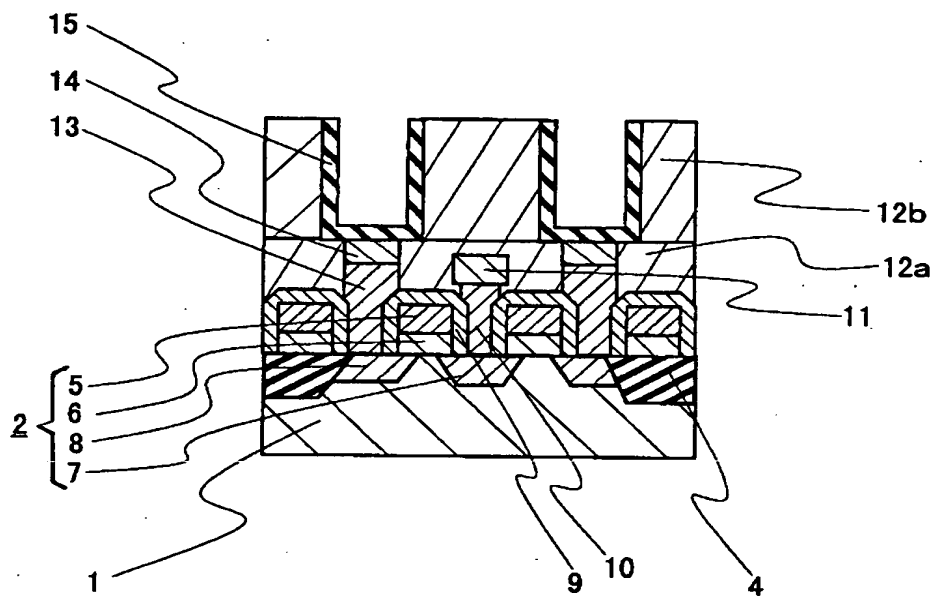
【図 10】



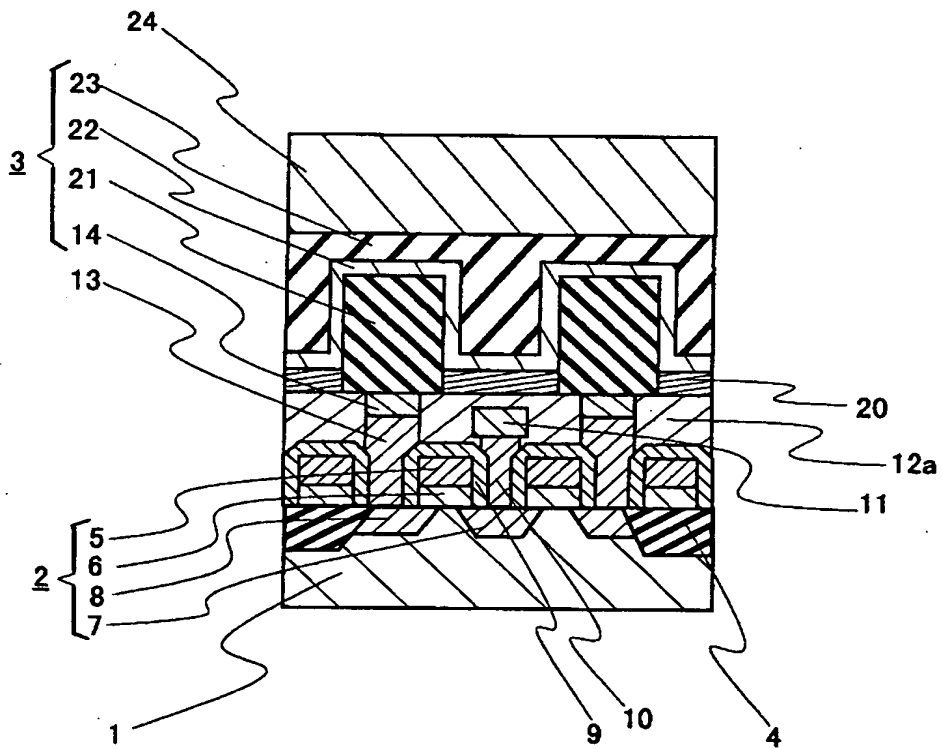
【図 11】



【図 12】

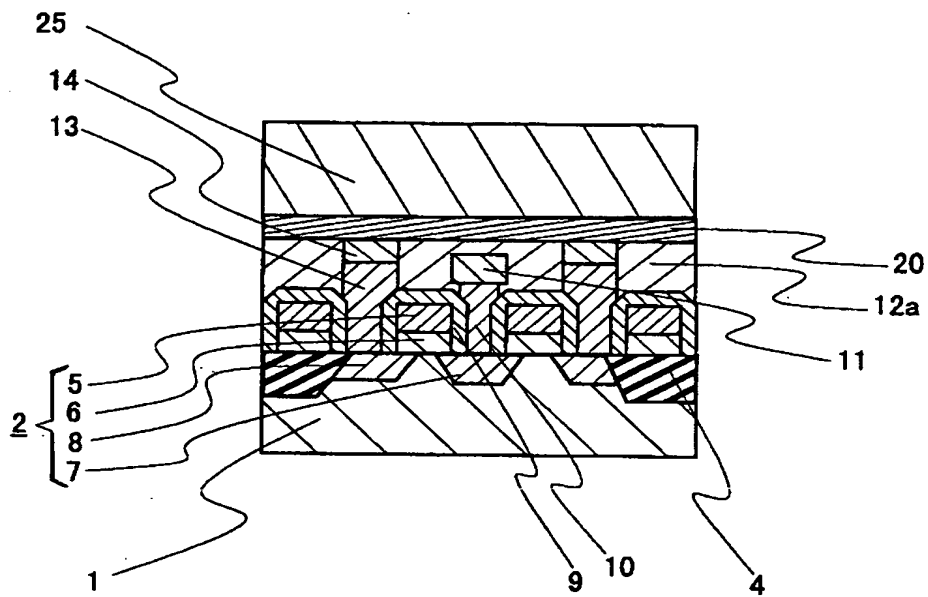


【図 13】

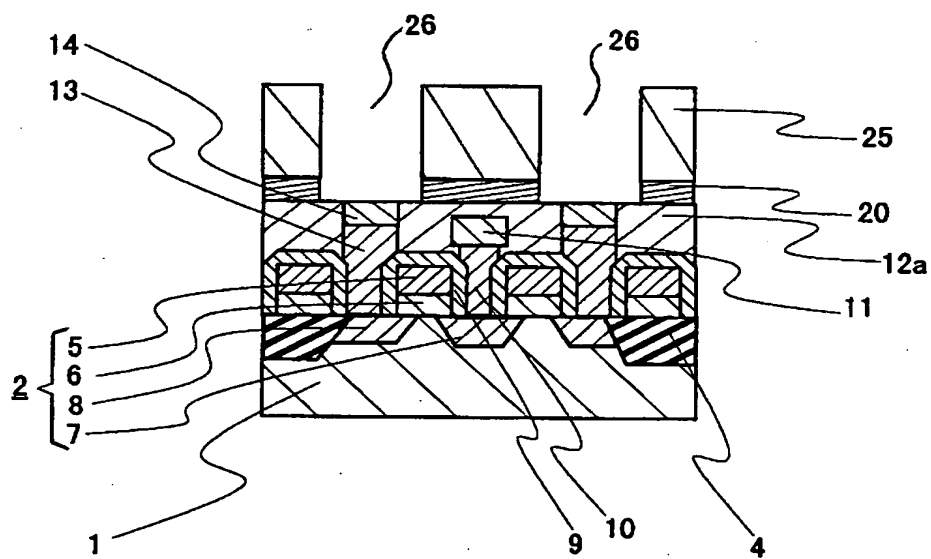




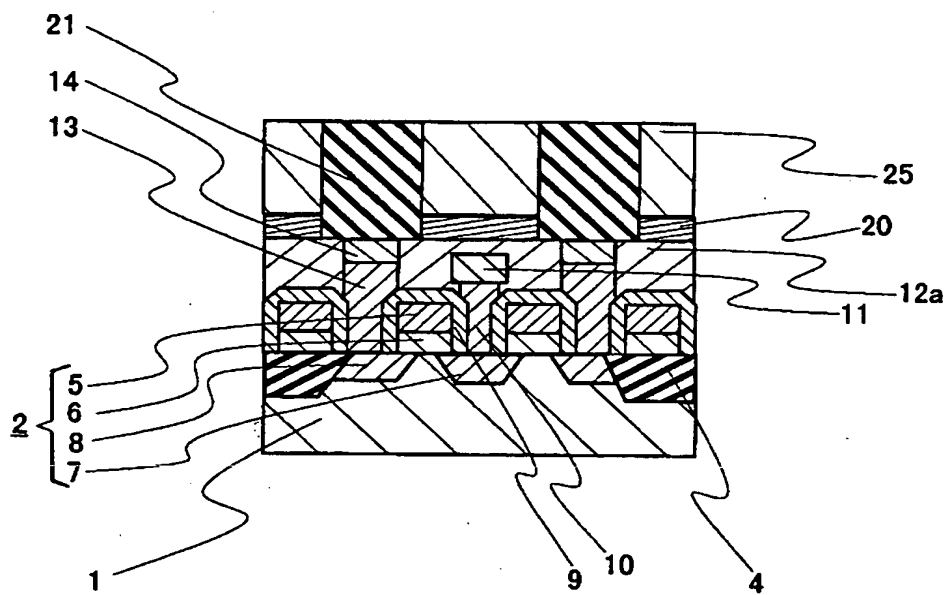
【図 1 4】



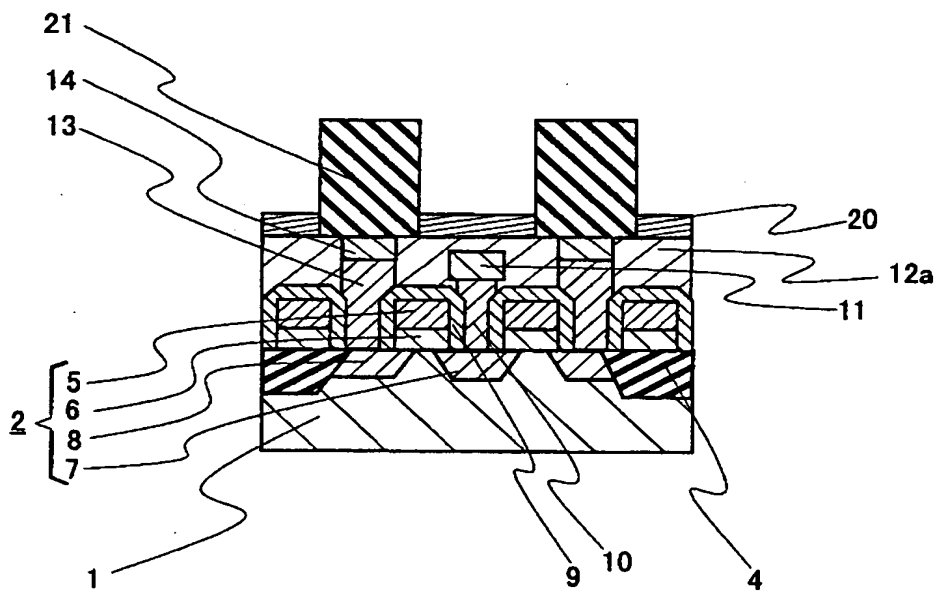
【図 1 5】



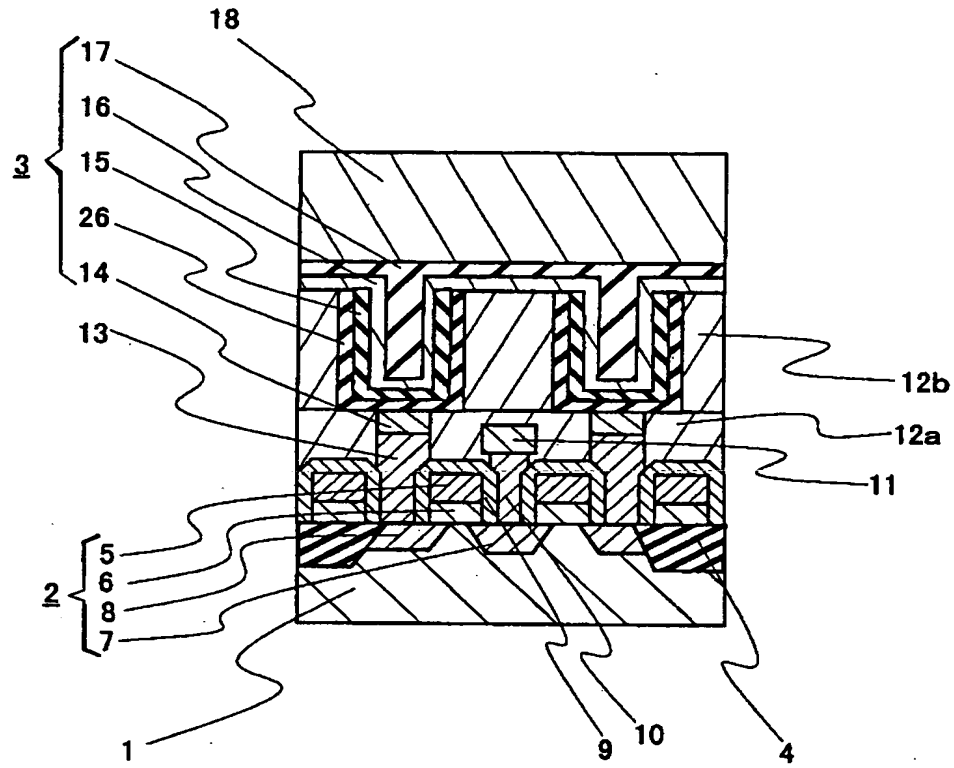
【図 16】



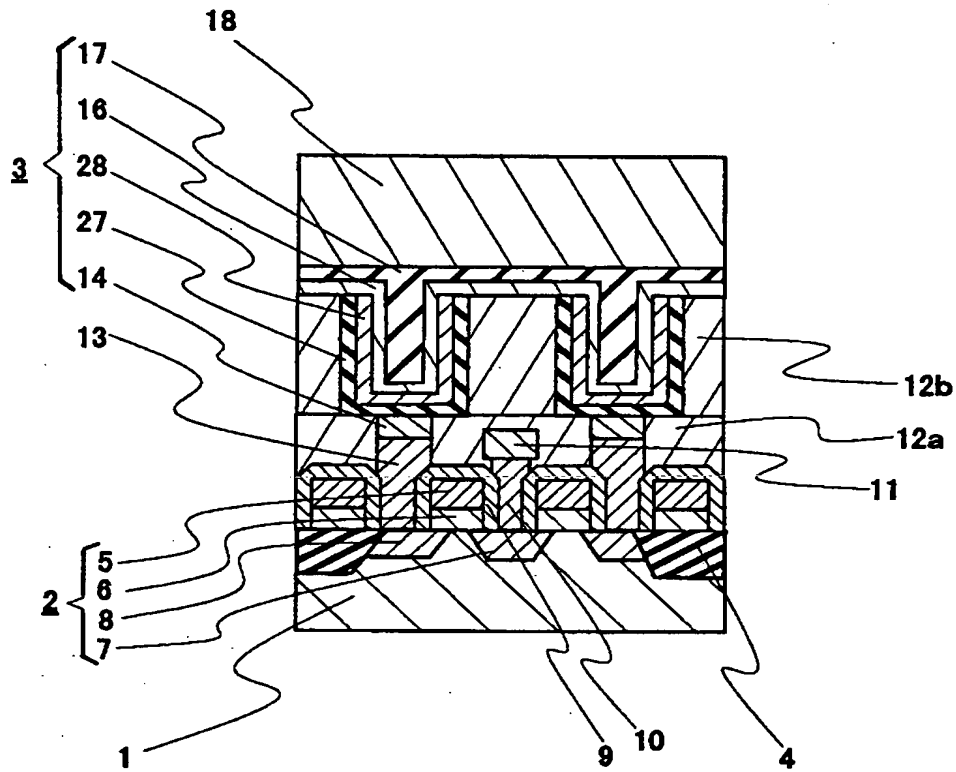
【図 17】



【図18】



【図 19】



【書類名】 要約書

【要約】

【課題】 情報蓄積用容量素子を備えた半導体装置における、ルテニウムや白金等で形成される容量電極と絶縁膜との密着性を向上させる。

【解決手段】 半導体装置は、第 1 容量電極 1 5、誘電体用の酸化物膜 1 6、第 2 容量電極 1 7、およびシリコンを主構成元素とする絶縁膜 1 2 a、1 8 を有する情報蓄積用容量素子を備えており、その第 1 容量電極や第 2 容量電極は、少なくともロジウム、ルテニウム、イリジウム、オスミウム、白金からなる群から選ばれる一種類の元素を主構成元素とし、添加元素として少なくともパラジウム、ニッケル、コバルト、チタンからなる群から選ばれる一種類の元素を含有する材料構成で形成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所